

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-087033**

(43)Date of publication of application : **02.04.1996**

(51)Int.Cl.

G02F 1/136

G02F 1/13

H01L 29/786

H01L 21/336

(21)Application number : **06-222193** (71)Applicant : **TOSHIBA CORP**

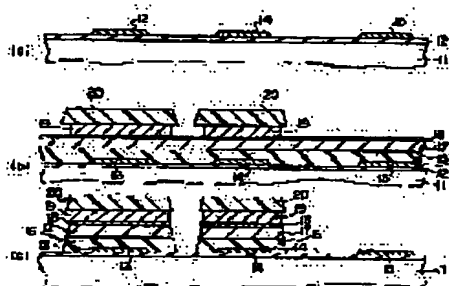
(22)Date of filing : **16.09.1994** (72)Inventor : **UEDA TOMOMASA
IKEDA MITSUSHI
ONOZUKA YUTAKA**

(54) PRODUCTION OF ACTIVE MATRIX DISPLAY

(57)Abstract:

PURPOSE: To obtain a method for producing an active matrix display with less masking stages, in high yield and with high productivity.

CONSTITUTION: A gate electrode 13 and a gating electrode 15 are formed on an insulating substrate 11. An insulating film 16, semiconductor thin films 17 and 18 and a metallic film 19 are then successively formed over the entire surface, and the metallic film 19 is patterned with a first resist pattern 20 as a mask. The semiconductor thin films 17 and 18 and the insulating film 16 are patterned with one out of the first resist pattern 20 and the patterned metallic film 19 as a mask to expose



the gating electrode 15, and then a transparent conductive film is formed over the whole surface. The transparent conductive film is patterned with a second resist pattern as a mask to form a picture element electrode, and then the exposed part of the metallic film pattern is removed with either the second resist pattern or the picture element electrode as a mask.

LEGAL STATUS

[Date of request for examination]

06.09.2000

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3238020

[Date of registration] 05.10.2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-87033

(43) 公開日 平成8年(1996)4月2日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
1/13	1 0 1			
H 0 1 L 29/786				
21/336				
	9056-4M			
	H 0 1 L 29/78	6 1 2 D		
	審査請求	未請求	請求項の数1	O L (全 11 頁)

(21) 出願番号 特願平6-222193

(22) 出願日 平成6年(1994)9月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 上田 知正

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 池田 光志

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 小野塚 豊

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 アクティブマトリクス表示装置の製造方法

(57) 【要約】

【目的】 少ないマスク工程で、歩留まりの高い生産性のよいアクティブマトリクス液晶表示装置の製造方法を提供すること。

【構成】 絶縁性基板上にゲート電極及びゲート取り出し電極を形成する工程と、全面に絶縁膜、半導体薄膜及び金属膜を順次形成する工程と、第1のレジストパターンをマスクとして用いて、前記金属膜をパターニングする工程と、第1のレジストパターン及びパターニングされた前記金属膜の少なくとも一方をマスクとして用いて、前記半導体薄膜及び絶縁膜をパターニングし、前記ゲート取り出し電極を露出させる工程と、全面に透明導電膜を形成する工程と、第2のレジストパターンをマスクとして用いて、前記透明導電膜をパターニングして画素電極を形成する工程と、及び前記第2のレジストパターン及び前記画素電極の少なくとも一方をマスクとして用いて、前記金属膜パターンの露出する部分を除去する工程とを見備することを特徴とする。

